

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-074508
(43)Date of publication of application : 16.03.1999

1017 U.S. PTO
09/986059
11/07/01

(51)Int.Cl. H01L 29/78

(21)Application number : 10-185301 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 30.06.1998 (72)Inventor : INUMIYA SEIJI
OZAWA YOSHIO
HIEDA KATSUHIKO
MATSUDA TETSURO

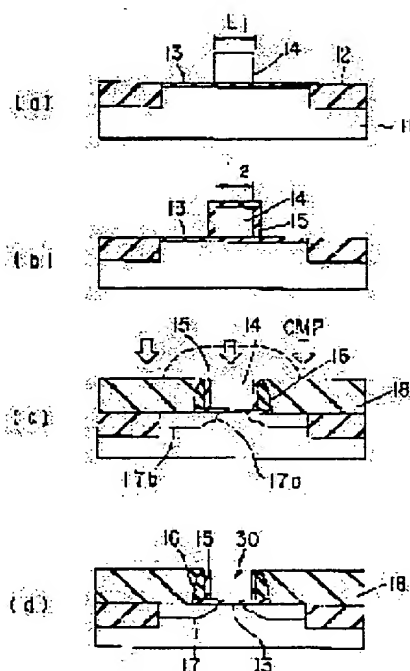
(30)Priority
Priority number : 09174198 Priority date : 30.06.1997 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To solve problems which arise when a gate electrode is formed through a gate insulating film on an area from which a dummy gate pattern and a dummy insulating film are eliminated.

SOLUTION: A method for manufacturing a semiconductor device is composed of a process for forming a dummy film 13 and a dummy gate pattern 14 on an area for forming a gate on a semiconductor substrate, a process for forming first a side wall insulating film 15 on the side walls of the dummy gate pattern 14, a process for forming an interlayer insulating film 18 on the semiconductor substrate around the dummy gate pattern 14 with the first side wall insulating film 15, a process for forming a groove 30 by eliminating the dummy pattern 14, a process for eliminating the dummy film 13 exposed in the groove 30 in such a way that a part of the first side wall insulating film 15 and the part of the dummy film 13 under it are left, a process for forming a gate insulating film at least in the bottom of the groove and a process for forming a gate electrode on the gate insulating film in the groove.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C): 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-74508

(43) 公開日 平成11年(1999) 3月16日

(51) Int.Cl.⁹

H 0 1 L 29/78

識別記号

F I

H 0 1 L 29/78

3 0 1 G

審査請求 未請求 請求項の数 8 O L (全 16 頁)

(21) 出願番号 特願平10-185301

(22) 出願日 平成10年(1998) 6月30日

(31) 優先権主張番号 特願平9-174198

(32) 優先日 平 9 (1997) 6月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 犬宮 誠治

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(72) 発明者 小澤 良夫

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(72) 発明者 稗田 克彦

神奈川県横浜市磯子区新杉田町 8 番地 株

式会社東芝横浜事業所内

(74) 代理人 弁理士 鈴江 武彦 (外 6 名)

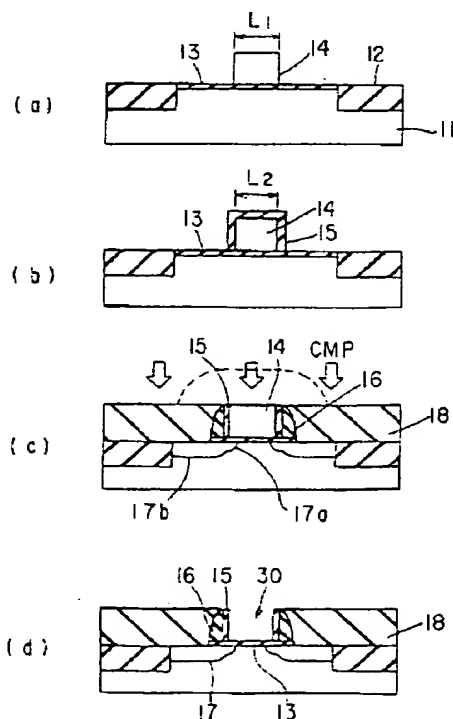
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ダミーゲートパターン及びダミー絶縁膜を除去した領域にゲート絶縁膜を介してゲート電極を形成する場合に生じる問題点を解決すること。

【解決手段】 半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの側壁に第1の側壁絶縁膜を形成する工程と、前記第1の側壁絶縁膜が形成されたダミーゲートパターンの周囲の前記半導体基板上に層間絶縁膜を形成する工程と、前記ダミーゲートパターンを除去して溝を形成する工程と、前記第1の側壁絶縁膜の一部及びその下の前記ダミー膜の部分を残すように、前記溝に露出するダミー膜を除去する工程と、前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備することを特徴とする。



(2)

【特許請求の範囲】

【請求項1】半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの側壁に第1の側壁絶縁膜を形成する工程と、

前記第1の側壁絶縁膜が形成されたダミーゲートパターンの周囲の前記半導体基板上に層間絶縁膜を形成する工程と、

前記ダミーゲートパターンを除去して溝を形成する工程と、

前記第1の側壁絶縁膜の一部及びその下の前記ダミー膜の部分を残すように、前記溝に露出するダミー膜を除去する工程と、

前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、

前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法。

【請求項2】半導体基板と、

前記半導体基板上に形成されたゲート電極と、

前記半導体基板とゲート電極との間、および前記ゲート電極の側面に形成されたゲート絶縁膜と、

前記ゲート電極の側面に形成されたゲート絶縁膜上に形成された第1の側壁絶縁膜と、

前記第1の側壁絶縁膜上に形成された第2の側壁絶縁膜と、

前記第1及び第2の側壁絶縁膜と前記半導体基板との間に形成された残留膜と、前記第1及び第2の側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備する半導体装置。

【請求項3】半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの少なくとも下端部近傍を改質する工程と、

前記ダミーゲートパターンの周囲の半導体基板上に層間絶縁膜を形成する工程と、

前記ダミーゲートパターンの改質された部分を残すように、前記ダミーゲートパターンを除去して溝を形成する工程と、

前記溝に露出するダミー膜を除去する工程と、

前記溝内の少なくとも底面にゲート絶縁膜を形成する工程と、

前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法。

【請求項4】半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの少なくとも下端部近傍の前記ダミー膜に不純物を導入する工程と、

前記ダミーゲートパターンの周囲に層間絶縁膜を形成する工程と、

前記ダミー膜の不純物が導入された部分を残すように、

前記ダミーゲートパターンを除去して溝を形成する工程と、

前記溝に露出したダミー膜を除去する工程と、

前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、

前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法。

【請求項5】半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミー膜の、前記ダミーゲートパターンの少なくとも下端部近傍の部分除去する工程と、

前記ダミー膜が除去された部分に絶縁材料膜を形成する工程と、

前記ダミーゲートパターンの周囲の前記半導体基板上に層間絶縁膜を形成する工程と、

前記絶縁材料膜を残すように、前記ダミーゲートパターンを除去して溝を形成する工程と、

前記溝に露出したダミー膜を除去する工程と、

前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、

前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法。

【請求項6】半導体基板と、

前記半導体基板上に形成されたゲート電極と、

前記半導体基板とゲート電極との間、および前記ゲート電極の側面に形成されたゲート絶縁膜と、

前記ゲート電極の周囲の前記半導体基板上に形成された層間絶縁膜とを具備し、前記ゲート電極の下端部近傍のゲート絶縁膜を含む絶縁領域の厚さが、前記ゲート電極の下部中央のゲート絶縁膜の厚さよりも厚い半導体装置。

【請求項7】半導体基板と、

前記半導体基板上に選択的に形成された第1の絶縁膜と、

前記第1の絶縁膜が形成されていない前記半導体基板上に選択的に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記前記ゲート電極の側面に形成された第2の絶縁膜と、

前記ゲート電極の側面に形成された第2の絶縁膜上に形成された側壁絶縁膜とと、

前記第2の絶縁膜および側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備し、

前記ゲート絶縁膜と前記第2の絶縁膜の膜厚の合計は、前記第1の絶縁膜の膜厚よりも大きい半導体装置。

【請求項8】半導体基板と、

前記半導体基板上に選択的に形成された第1の絶縁膜と、

前記第1の絶縁膜が形成されていない前記半導体基板上に選択的に形成されたゲート絶縁膜と、

(3)

前記ゲート絶縁膜上に形成されたゲート電極と、
前記前記ゲート電極の側面に形成された第2の絶縁膜と、
前記ゲート電極の側面に形成された第2の絶縁膜上に形成された側壁絶縁膜とと、
前記第2の絶縁膜および側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備し、
前記ゲート絶縁膜と前記第2の絶縁膜の膜厚の合計は、
前記側壁絶縁膜のゲート電極側下端部と、前記半導体基板との間の距離よりも大きい半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に関する。

【0002】

【従来の技術】シリコン酸化膜をゲート酸化膜として用いるMOSトランジスタにおいて、ゲート酸化膜の高信頼性化はトランジスタの高性能化を進める上で重要な役割を果たしている。しかし、ゲート酸化膜の薄膜化（例えば4nm程度以下の膜厚）では、ゲート電極への不純物のドーピングやゲート電極加工時のプラズマダメージ、チャネル領域及びソース・ドレイン領域へのイオン注入など、プロセス中のイオンダメージなどによるゲート酸化膜の信頼性劣化（TDDB劣化、リーク電流の増大、耐圧の劣化など）が問題になると予想されている。

【0003】このような問題に対する解決策の一つとして、ダミーゲートパターンを用いたゲート電極の形成方法が提案されている（例えば、特願平8-356493）。この方法は、半導体基板上のゲート形成予定域にパッド酸化膜を介してダミーゲートパターンを形成し、チャネル領域及びソース・ドレイン領域へのイオン注入などを行った後、ダミーゲートパターン及びパッド酸化膜を除去して形成された溝内に、CMPを用いて、ゲート絶縁膜およびゲート電極を埋め込み形成するものである。この方法によると、ゲート電極加工時のプラズマダメージや、チャネル領域及びソース・ドレイン領域へのイオン注入の際のダメージなど、ゲート絶縁膜へのダメージを回避することができる。

【0004】しかし、このような方法を用いた場合、ゲート電極の寸法制御が難しいという問題がある。すなわち、ダミーゲートパターンの周囲に形成されている SiO_2 堆積膜（層間絶縁膜）は、パッド酸化膜（熱酸化 SiO_2 膜）に比べてエッチング速度が早いいため、パッド酸化膜の除去の際に層間絶縁膜が大きく後退してしまう、その結果、ゲート電極が埋め込まれる溝の幅が大きく変動してしまう。

【0005】このような問題を防止するため、ダミーゲートパターンの側壁に Si_3N_4 膜を形成することも考えられる。図14は、このような側壁 Si_3N_4 膜を設けたトランジスタの構成を示したものである。図14に

おいて、参照数字101はゲート電極、102はゲート絶縁膜、103はソース・ドレイン拡散層、104は側壁絶縁膜、105はパッド酸化膜をそれぞれ示す。

【0006】しかしながら、このように側壁 Si_3N_4 膜104を設けたとしても、側壁 Si_3N_4 膜104の下のパッド酸化膜105がダミーゲートパターンの下のパッド酸化膜を剥離する際に後退してしまい、ゲート電極の下端部に窪み106が形成されるという問題が生ずる。そのため、ソース・ドレイン領域103とゲート電極101との間の耐圧が劣化したり、ゲート電極101の下端部におけるゲート絶縁膜102の膜厚が変化したりする。

【0007】その結果、トランジスタの特性劣化（チャネル電流の低下や界面準位の増加など）や信頼性低下（ゲート電極下端部における電界集中やゲート絶縁膜の埋め込み性の悪化などによる絶縁性の低下など）といった大きな問題が発生する。また、ゲート電極下端部に窪み106が形成されることにより、ゲート電極が埋め込まれる溝底部の溝幅も変動するおそれがあり、やはりゲート電極の寸法制御が難しくなる。

【0008】このように、ゲート形成予定域にパッド酸化膜（ダミー絶縁膜）およびダミーゲートパターンを形成し、これらダミーゲートパターン及びダミー絶縁膜を除去することにより形成された溝内にゲート絶縁膜およびゲート電極を形成する場合、溝の寸法制御、つまりゲート電極の寸法制御が困難であるという問題があった。

【0009】また、ダミーゲートパターンの側壁に Si_3N_4 膜等を形成した場合にも、ダミー絶縁膜を除去する際にダミー絶縁膜が横方向にエッチングされて窪みができてしまい、ゲート電極下端部に形成される窪みによって、トランジスタの特性劣化や信頼性低下が生じるという問題があった。また、窪みが形成されることにより、ゲート電極の寸法制御が難しくなるという問題もある。

【0010】一方、MIS型トランジスタを用いた半導体集積回路の高性能化のため、ゲート電極の少なくとも一部に抵抗の低い金属材料を用いたり、ゲート絶縁膜の少なくとも一部に Ta_2O_5 膜などの高誘電体膜を用いて、実効的なゲート絶縁膜厚を薄くすることが行われている。そして、その際、ソース・ドレイン領域の活性化などの高温熱工程によるゲート電極・ゲート絶縁膜の特性劣化を回避するため、上述したように、ソース・ドレイン領域層を先に形成し、ゲート電極が形成されるべき部分にソース・ドレインに対し自己整合的に形成された溝にゲート絶縁膜およびゲート電極を埋め込み形成する方法が提案されている。

【0011】以下に図15および図16を参照して、従来提案されている半導体装置の製造プロセスの一例を説明する。

【0012】図15(a)に示すように、トレンチ型の

(4)

素子分離層（図示せず）を有するSi基板111のトランジスタ形成領域表面に、厚さ10nmのSiO₂膜112を形成し、このSiO₂膜112の上に、ダミーゲートパターン用のポリSi膜113を300nm程度の膜厚に堆積する。

【0013】次いで、図15（b）に示すように、例えばリソグラフィ法とRIE法などを用いてポリSi膜113をダミーゲートパターンに加工する。その後、図15（c）に示すように、ダミーゲートパターン113をマスクとして用いて、例えば磷イオンの注入を $4 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で行い、n⁻型ソース・ドレイン領域114を形成する。

【0014】次に、Si₃N₄膜を全面に堆積した後、全面エッチバックを行い、ダミーゲートパターン113の側面にSi₃N₄側壁115を形成し、例えば砒素イオンの注入を $5 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で行い、n⁺型ソース・ドレイン領域116を形成し、図2Dに示すLDD構造を形成する。その後、例えば1000℃30秒程度のアニールを行い、ソース・ドレイン領域の活性化を行う。

【0015】次に、図16（e）に示すように、全面にCVD-SiO₂膜117を例えば300nmの厚さに堆積し、例えば800℃程度のN₂雰囲気中で30分程度のデンシファイを行った後に、全面を化学機械研磨により平坦化し、ダミーゲートパターン113の上面を露出させる。

【0016】その後、図16（f）に示すように、露出したダミーゲートパターン113を選択的に除去し、ダミーゲートパターン113の下にSiO₂膜112を除去し、ゲート絶縁膜・ゲート電極を形成するための溝118を形成する。

【0017】次に、全面にゲート絶縁膜として例えばTa₂O₅膜119を20nm程度の膜厚で形成し、ゲート電極として例えばRu膜120を300nm程度の膜厚で堆積し、全面を化学機械研磨法で処理し、溝118内にゲート絶縁膜119およびゲート電極120を埋め込み、図16（g）に示すようなトランジスタ構造を形成する。その後に、図示しない層間膜堆積、コンタクト開孔、配線形成を行う。

【0018】

【発明が解決しようとする課題】しかし、上記のように形成されたゲート電極・ゲート絶縁膜を形成するための溝118には、上述したように、SiO₂膜112を除去する際に、SiO₂膜112が横方向にもエッチングされて、図16（h）に拡大して示すように、横溝121が形成されてしまう。そのため、ゲート絶縁膜119とゲート電極120を形成する際、図16（i）に示すように、空洞122が形成され、ゲート電極120の埋め込み不良が生じてしまったり、図16（j）に示すように、ゲート電極120のコーナー部123の曲率半径

が小さくなってしまふといった不具合が生じる。

【0019】その結果、形成されたトランジスタは、ゲート絶縁膜のゲートエッジにおける耐圧が低いなど、信頼性の低いものになってしまう。

【0020】本発明は、上記事情の下になされ、ゲート電極を形成する際に生ずるゲート電極下端部の窪みに起因する、トランジスタの特性劣化や信頼性低下を防止した半導体装置を提供することにある。

【0021】本発明の他の目的は、ダミーゲートパターン及びダミー絶縁膜（ダミー膜）を除去した領域にゲート絶縁膜を介してゲート電極を形成する際に生ずるゲート電極下端部の窪みに起因する、トランジスタの特性劣化や信頼性低下を防止した半導体装置の製造方法を提供することにある。

【0022】本発明の更に他の目的は、制御性よくゲート電極を形成することを可能とする半導体装置の製造方法を提供することにある。

【0023】

【課題を解決するための手段】上記課題を解決するため、本発明は、半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの側壁に第1の側壁絶縁膜を形成する工程と、前記第1の側壁絶縁膜が形成されたダミーゲートパターンの周囲の前記半導体基板上に層間絶縁膜を形成する工程と、前記ダミーゲートパターンを除去して溝を形成する工程と、前記第1の側壁絶縁膜の一部及びその下の前記ダミー膜の部分を残すように、前記溝に露出するダミー膜を除去する工程と、前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法を提供する。

【0024】また、本発明は、半導体基板と、前記半導体基板上に形成されたゲート電極と、前記半導体基板とゲート電極との間、および前記ゲート電極の側面に形成されたゲート絶縁膜と、前記ゲート電極の側面に形成されたゲート絶縁膜上に形成された第1の側壁絶縁膜と、前記第1の側壁絶縁膜上に形成された第2の側壁絶縁膜と、前記第1及び第2の側壁絶縁膜と前記半導体基板との間に形成された残留膜と、前記第1及び第2の側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備する半導体装置を提供する。

【0025】更に、本発明は、半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの少なくとも下端部近傍を改質する工程と、前記ダミーゲートパターンの周囲の半導体基板上に層間絶縁膜を形成する工程と、前記ダミーゲートパターンの改質された部分を残すように、前記ダミーゲートパターンを除去して溝を形成する工程と、前記溝に露出するダミー膜を除去する工程と、前記溝内の少なくとも底面にゲート絶縁膜を形成す

(5)

る工程と、前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法を提供する。

【0026】更にまた、本発明は、半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミーゲートパターンの少なくとも下端部近傍の前記ダミー膜に不純物を導入する工程と、前記ダミーゲートパターンの周囲に層間絶縁膜を形成する工程と、前記ダミー膜の不純物が導入された部分を残すように、前記ダミーゲートパターンを除去して溝を形成する工程と、前記溝に露出したダミー膜を除去する工程と、前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法を提供する。

【0027】また更に、本発明は、半導体基板上のゲート形成予定領域に、ダミー膜およびダミーゲートパターンを形成する工程と、前記ダミー膜の、前記ダミーゲートパターンの少なくとも下端部近傍の部分除去する工程と、前記ダミー膜が除去された部分に絶縁材料膜を形成する工程と、前記ダミーゲートパターンの周囲の前記半導体基板上に層間絶縁膜を形成する工程と、前記絶縁材料膜を残すように、前記ダミーゲートパターンを除去して溝を形成する工程と、前記溝に露出したダミー膜を除去する工程と、前記溝の少なくとも底面にゲート絶縁膜を形成する工程と、前記溝内の前記ゲート絶縁膜上にゲート電極を形成する工程とを具備する半導体装置の製造方法を提供する。

【0028】また、本発明は、半導体基板と、前記半導体基板上に形成されたゲート電極と、前記半導体基板とゲート電極との間、および前記ゲート電極の側面に形成されたゲート絶縁膜と、前記ゲート電極の周囲の前記半導体基板上に形成された層間絶縁膜とを具備し、前記ゲート電極の下端部近傍のゲート絶縁膜を含む絶縁領域の厚さが、前記ゲート電極の下部中央のゲート絶縁膜の厚さよりも厚い半導体装置を提供する。

【0029】更に、本発明は、半導体基板と、前記半導体基板上に選択的に形成された第1の絶縁膜と、前記第1の絶縁膜が形成されていない前記半導体基板上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記前記ゲート電極の側面に形成された第2の絶縁膜と、前記ゲート電極の側面に形成された第2の絶縁膜上に形成された側壁絶縁膜とと、前記第2の絶縁膜および側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備し、前記ゲート絶縁膜と前記第2の絶縁膜の膜厚の合計は、前記第1の絶縁膜の膜厚よりも大きい半導体装置を提供する。

【0030】更にまた、本発明は、半導体基板と、前記半導体基板上に選択的に形成された第1の絶縁膜と、前記第1の絶縁膜が形成されていない前記半導体基板上に

選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記前記ゲート電極の側面に形成された第2の絶縁膜と、前記ゲート電極の側面に形成された第2の絶縁膜上に形成された側壁絶縁膜とと、前記第2の絶縁膜および側壁絶縁膜が形成されたゲート電極の周囲に形成された層間絶縁膜とを具備し、前記ゲート絶縁膜と前記第2の絶縁膜の膜厚の合計は、前記側壁絶縁膜のゲート電極側下端部と、前記半導体基板との間の距離よりも大きい半導体装置を提供する。

【0031】本発明の第1の態様に係る半導体装置の製造方法では、ダミーゲートパターンの側面に側壁絶縁膜を形成するとともに、ダミーゲートパターンを除去した後、その下のダミー膜を除去するに際し、第1の側壁絶縁膜の一部及びその下の前記ダミー膜の部分を残すように、ダミー膜の除去が行われている。

【0032】このような本発明の第1の態様に係る半導体装置の製造方法によると、ダミーゲートパターンの側壁に第1の側壁絶縁膜が形成されているので、マージンのある安定したプロセスでダミーゲートパターン及びダミー膜を除去することができ、ゲート電極を埋め込む溝部の寸法制御性、すなわちゲート電極の寸法制御性を向上させることができる。

【0033】また、ダミー膜と第1の側壁絶縁膜とを、ほぼ等しいエッチング速度でエッチング可能な材料で構成することにより、ダミー膜の除去の際に、ゲート電極の側面の第1の側壁絶縁膜下にはダミー膜が残置しており、ゲート電極下端部に窪みが生じることを防止することができるので、後酸化を行わなくてもゲート電極下端部の形状に起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0034】本発明の第1の態様に係る半導体装置の製造方法は、次の具体的態様が可能である。

【0035】(1) 第1の側壁絶縁膜上に、第2の側壁絶縁膜を形成する工程をさらに具備する。

【0036】(2) 第1の側壁絶縁膜と前記ダミー膜のエッチングレートは、ほぼ等しい。

(3) ダミーゲートパターンをマスクとして用いて、前記半導体基板に不純物を導入して、ソース・ドレイン領域を形成する工程をさらに具備する。

【0037】(4) ダミーゲートパターンはアモルファスシリコンからなる。

【0038】(5) 第1の側壁絶縁膜は、ダミーゲートパターンの熱酸化により形成される。

【0039】(6) ダミーゲートパターンはアモルファスシリコン膜によって形成されている。

【0040】なお、ダミーゲートパターンを粒径の小さなアモルファスシリコン膜で形成することにより、パターンニング時のアモルファスシリコン膜のパターンエッジの凸凹を少なくすることができる。

【0041】(7) ダミーゲートパターンはシリコン膜

(6)

(特にアモルファスシリコン膜が好ましい) によって形成され、第1の側壁絶縁膜はこのシリコン膜を熱酸化したものである。

【0042】第1の側壁絶縁膜を熱酸化シリコン膜とすることにより、熱酸化シリコン膜を用いたダミー膜とほぼ同一のエッチング速度でエッチングすることが可能となり、より確実にゲート電極下端部に窪みが生じることを防止することができる。

【0043】(8) ゲート絶縁膜には堆積膜(CVD-SiO₂膜、CVD-SiON膜、CVD-Si₃N₄膜或いはこれらを含む積層膜、CVDによって形成された高誘電体膜(Ta₂O₅膜、(Ba, Sr)TiO₃膜など)或いはこれを含む積層膜)である。

【0044】特に、ゲート絶縁膜として高誘電体膜を用いることにより、ゲート絶縁膜の実効的な膜厚をリーク電流の増加や耐圧の劣化なしに薄膜化することができる。

【0045】本発明の第2の態様に係る半導体装置では、ゲート電極の側面に第1および第2の側壁絶縁膜を形成するとともに、第1及び第2の側壁絶縁膜と半導体基板との間に残留膜が存在している。

【0046】このような構造の半導体装置によれば、ゲート電極の側面が第1及び第2の側壁絶縁膜及びその下の残留膜で覆われているので、ゲート電極下端部の形状に起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0047】本発明の第3の態様に係る半導体装置の製造方法によると、ダミー膜を除去する際に、溝部の下端部近傍に改質された部分が残置しており、これによりダミー膜の後退を抑制できるので、ダミー膜を除去する際にゲート電極下端部に窪みが生じることを防止することができる。従って、ゲート電極下端部の絶縁膜を厚く、またゲート電極下端部の曲率半径を大きくすることができ、後酸化工程を行わなくても、絶縁耐圧の劣化などゲート電極下端部の形状に起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0048】この方法において、ダミーゲートパターンとしてシリコン膜(単結晶シリコン膜、多結晶シリコン膜、アモルファスシリコン膜)、ダミー膜としてシリコン酸化膜を用い、ダミーゲートパターンの少なくとも下端部近傍を改質する工程がダミーゲートパターンとなるシリコン膜の熱酸化であることが好ましい。このようにすれば、ゲート絶縁膜中を酸化剤が拡散することにより、ダミーゲートパターン下端部の酸化が底面方向からも進行し、簡単な工程でダミーゲートパターンの下端部近傍を絶縁物へ改質することができる。

【0049】また、本発明の第4の態様に係る半導体装置の製造方法によると、ダミー膜を除去する際に、溝部の下端部近傍にダミー膜に不純物が導入された部分が残置しており、これによりダミー膜の後退を抑制できるの

で、ダミー膜を除去する際にゲート電極下端部に窪みが生じることを防止することができる。従って、ゲート電極下端部の絶縁膜を厚く、またゲート電極下端部の曲率半径を大きくすることができ、後酸化工程を行わなくても、絶縁耐圧の劣化などゲート電極下端部の形状に起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0050】この方法において、ダミー膜としてシリコン酸化膜を用い、ダミーゲートパターンの少なくとも下端部近傍のダミー膜に不純物を導入する工程が窒素又は炭素のイオン注入、或いは熱窒化であることが好ましい。このようにすれば、ダミー膜を除去する際に、希フッ酸処理のようなエッチングの制御性がよい簡単な方法で、ダミーゲートパターンの下端部近傍の不純物が導入されたダミー膜を残すことができる。

【0051】また、本発明の第5の態様に係る半導体装置の製造方法によると、ダミー膜を除去する際に、溝部の下端部近傍のダミー膜が除去された箇所に絶縁材料膜が残置しており、これによりダミー膜の後退を抑制できるので、ダミー膜を除去する際にゲート電極下端部に窪みが生じることを防止することができる。従って、ゲート電極下端部の絶縁膜を厚く、またゲート電極下端部の曲率半径を大きくすることができ、後酸化工程を行わなくても、絶縁耐圧の劣化などゲート電極下端部の形状に起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0052】この方法において、ダミー膜としてシリコン酸化膜を用い、ダミーゲートパターンの下端部近傍のダミー膜が除去された箇所に絶縁材料膜を形成する工程が、シリコン窒化膜を形成する工程であることが好ましい。このようにすれば、ダミー膜を除去する際に、希フッ酸処理のようなエッチングの制御性がよい簡単な方法で、ダミーゲートパターンの下端部近傍の絶縁材料膜を残すことができる。

【0053】なお、前記各製造方法において、ダミーゲートパターンを除去する工程よりも前に、ダミーゲートパターンの両側の半導体基板にソース・ドレイン拡散層を形成する工程をさらに有することが好ましい。

【0054】本発明の第6の態様に係る半導体装置では、ゲート電極の下端部近傍のゲート絶縁膜を含む絶縁領域の厚さが、ゲート電極の下部中央のゲート絶縁膜の厚さよりも厚い。この場合、ゲート電極の下端部の曲率半径がゲート電極の下部中央のゲート絶縁膜の厚さよりも大きいことが好ましい。

【0055】図12は、種々の平面部膜厚/ニッジ部膜厚比における、ゲート電極下端部の曲率半径に対する下端部電界/平面部電界の比を示すグラフである。なお、曲率半径 r 、平面部の膜厚 a は、図13に示す通りである。図12のグラフから、下端部(ニッジ部)の膜厚が厚くなるほど、またニッジ部の曲率半径が大きくなるほど

(7)

ど、平面部電界に対するエッジ部電界が小さくなり、エッジ部の電界集中が低減されることがわかる。

【0056】従って、本発明の第6の態様に係る半導体装置によれば、ゲート電極下端部の電界が弱まり（電界集中が緩和され）、ゲート電極下端部における絶縁性（信頼性）が向上する。

【0057】本発明の第7の態様に係る半導体装置では、ゲート絶縁膜と、ゲート電極の側面に形成された第2の絶縁膜の膜厚の合計は、半導体基板のゲート部以外の部分に形成された第1の絶縁膜の膜厚よりも大きい。あるいは、ゲート絶縁膜と、ゲート電極の側面に形成された第2の絶縁膜の膜厚の合計は、側壁絶縁膜のゲート電極側下端部と、半導体基板との間の距離よりも大きい。

【0058】このような半導体装置の構成によると、ゲートエッジ部のシリコン基板表面と側壁絶縁膜と間に形成される横溝が、ゲート絶縁膜によって埋め尽くされ、ゲート電極のエッジ部の形状が曲率半径の大きいものになるため、ゲートエッジ部での信頼性が向上した半導体装置が得られる。

【0059】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0060】まず、本発明の第1の実施形態について説明する。

【0061】図1(a)は、本発明の第1の実施形態に係る半導体装置の平面図、図1(b)は、図1(a)のA-A'断面図、図1(c)は、図1(a)のB-B'断面図をそれぞれ示す。

【0062】図1において、不純物濃度 $1 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板11の素子分離絶縁膜12で分離された素子形成領域内に、不純物濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 程度、拡散領域深さ $0.10 \mu\text{m}$ 程度のソース・ドレイン領域となるn型拡散領域17が形成されており、ソース・ドレイン領域間のチャンネル領域には、トランジスタのしきい値電圧(V_{th})をコントロールする為の不純物濃度 $5 \times 10^{17} \text{ cm}^{-3}$ 程度のp型チャンネル不純物領域（図示せず）が、主にチャンネル領域にのみ選択的に形成されている。

【0063】チャンネル領域上には、例えば 5 nm 程度の膜厚の SiO_2 膜からなるゲート絶縁膜19が形成されている。また、ゲート絶縁膜19に底面を囲まれ、ゲート絶縁膜19及びダミーゲート膜を酸化して得られた酸化膜15の一部に側面を囲まれた導電性膜（例えばTiN膜、Ru膜、W膜、Al膜、Cu膜或いはそれらの積層膜）からなるゲート電極20が、ソース・ドレイン領域17に対して自己整合的に形成されている。

【0064】チャンネル長方向のゲート幅 L_1 は、例えば $0.15 \mu\text{m}$ 程度である。また、層間絶縁膜21上には配線22が形成され、この配線22は、層間絶縁膜21

に形成されたプラグによってゲート電極20及びソース・ドレイン領域17に接続されている。

【0065】以下、図2および図3（図1(a)のA-A'断面に対応した製造工程断面図）を参照して、図1に示したトランジスタの製造プロセスを説明する。

【0066】まず、図2(a)に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型シリコン基板11（n型シリコン基板或いはp型Si基板の表面にp型又はn型エピタキシャルSi層を例えば $1 \mu\text{m}$ 程度の膜厚に成長させたいわゆるエピタキシャル基板でもよい）の(100)面に、nチャネルトランジスタ形成領域にはpウェル（図示せず）を、pチャネルトランジスタ形成領域にはnウェル（図示せず）を形成する。

【0067】その後、例えば反応性イオンエッチング（RIE）法を用いてSi基板11に溝を掘り、その溝に絶縁膜を埋め込んで、いわゆるトレンチ型の素子分離層12（トレンチ深さ約 $0.2 \mu\text{m}$ 程度のSTI（Shallow Trench Isolation））を形成する。続いて、厚さ 5 nm 程度の SiO_2 からなるパッド酸化膜（ダミー絶縁膜）13を熱酸化により形成する。

【0068】次に、この SiO_2 膜13上にダミーゲートパターン用のアモルファスSi膜14を 300 nm 程度の膜厚に堆積し、これを通常のリソグラフィ法で形成したレジストをマスクとして用いてRIE法などによりエッチングし、後の工程でゲート電極を形成するために除去されるダミーゲートパターン14を形成する。この時のダミーゲートパターン14の寸法を L_1 とする。

【0069】ダミーゲートパターン14は、グレインサイズの小さなアモルファスSiにより形成されているため、パターニング時のアモルファスSi膜のパターン・エッジは、凸凹が少ないという特長がある。なお、本実施形態では、ダミーゲートパターン14をアモルファスSiにより構成しているが、グレインサイズの小さいポリSiにより構成しても良い。また、ダミーゲートパターン14をSi系材料により構成した場合、Si膜のRIE時に SiO_2 膜13に対して高いエッチング選択比を設定し易いので、Si基板11へのエッチング（RIE）ダメージを抑える事ができる。

【0070】次に、図2(b)に示すように、アモルファスSiからなるダミーゲートパターン14の表面を例えば 850°C の酸素雰囲気中で熱酸化して、約 10 nm 程度の膜厚の酸化膜15を形成する。酸化膜15の膜厚は、パッド酸化膜の膜厚より厚い（パッド酸化膜の $1.5 \sim 3$ 倍程度の膜厚）ことが好ましい。酸化後のダミーゲートパターン14の寸法を L_2 とすると、 L_2 は酸化された分だけ L_1 より小さくなる（ $L_2 < L_1$ ）。

【0071】次に、図2(c)に示すように、LDD（Lightly Doped Drain）構造を形成する為、ダミーゲートパターン14及び SiO_2 膜15をマスクとして用いて、nチャネルトランジスタの場合には例えばリン

(8)

(P^+) イオンの注入を 70 keV 、 $4 \times 10^{13}\text{ cm}^{-2}$ 程度行ない、 n^- 型拡散領域 17a を形成する。続いて、 Si_3N_4 膜 (又は SiO_2 膜) を全面に堆積した後に全面の RIE を行ない、ダミーゲートパターン 14 の側壁部に Si_3N_4 膜 (又は SiO_2 膜) を残すいわゆる「側壁残し工程」を行ない、ダミーゲートパターン 14 の側壁にある SiO_2 膜 15 上に膜厚 20 nm 程度の側壁絶縁膜 16 を形成する。

【0072】その後、ダミーゲートパターン 14 及び側壁膜 16 をマスクとして用いて、例えば砒素 (As^+) イオンの注入を 30 keV 、 $5 \times 10^{15}\text{ cm}^{-2}$ 程度行なって、 n^+ 型拡散領域 17b を形成し、いわゆる LDD 構造を形成する。なお、ここでは LDD 構造を採用しているが、 n^- 型拡散領域のみ或いは n^+ 型拡散領域のみのいわゆるシングル・ソース・ドレイン構造でも良い。

【0073】次に、全面に層間絶縁膜となる CVD- SiO_2 膜 18 を例えば 400 nm 程度堆積し、例えば 800°C 程度の N_2 雰囲気中で 30 分程度デンシファイを行なう。この熱工程は、ソース・ドレインのイオン注入領域の活性化をも兼ねている。拡散領域の深さ (X_j) を抑えたい時は、デンシファイの温度を 750°C 程度に低温にし、 950°C で 10 秒程度の RTA (Rapid Thermal Anneal) プロセスを併用してイオン注入領域の活性化を行なっても良い。

【0074】その後、全面を CMP (Chemical Mechanical Polishing) により平坦化し、ダミーゲートパターン 14 の表面を露出させる。

【0075】次に、図 2 (d) に示すように、ダミーゲートパターン 14 を CDE (Chemical Dry Etching) 法や KOH 溶液を用いたウェットエッチング法などにより酸化膜などに対して選択的に除去し、溝部 30 を形成する。その後、所望の領域に形成したレジストパターン

(図示せず)、層間絶縁膜となる SiO_2 膜 18、側壁絶縁膜 16 及び SiO_2 膜 15 をマスクとして用いて、所望のチャネル領域にのみチャネル・イオン注入を行なう。 n チャネルトランジスタの場合、例えば 0.7 V 程度のしきい値電圧 (V_{th}) を設定する為には、例えばボロン (B^+) を 10 keV 、 $5 \times 10^{12}\text{ cm}^{-2}$ 程度イオン注入し、チャネル領域にのみ選択的に p 型チャネル不純物領域 (図示せず) を形成する。

【0076】このイオン注入工程は、 SiO_2 膜 13 を通して行なっても良いし、 SiO_2 膜 13 を剥離してから再度 SiO_2 膜を形成し、この新しく形成した SiO_2 膜を通して行なっても良い。チャネル不純物領域の活性化は、この後、例えば RTA を用いて 800°C 、10 秒程度の熱処理により行う。この後は高温の熱工程が無いので、トランジスタのショート・チャネル効果を抑える事ができるように、チャネル領域の不純物プロファイルを最適化できると言う特徴がある。

【0077】次に、図 3 (e) に示すように、溝底部の

パッド酸化膜 13 を除去する。溝部側壁の酸化膜 15 とパッド酸化膜 13 とは共に熱酸化膜であり、ほぼ等しいエッチング速度でエッチングされるが、側壁酸化膜 15 の膜厚がパッド酸化膜 13 の膜厚よりも厚いため、側壁酸化膜 15 の一部はパッド酸化膜 13 を剥離した後も溝部側壁に残置する。

【0078】この時の溝幅 L_3 は、側壁酸化膜 15 が除去された分だけ L_2 よりも大きくなる ($L_3 > L_2$)。また、側壁酸化膜 15 とパッド酸化膜 13 とがほぼ等しいエッチング速度でエッチングされることから、側壁酸化膜 15 及び側壁酸化膜 16 下のパッド酸化膜 13 が過剰にエッチングされることによる窪みの発生を防止できる。

【0079】この様な方法を用いることにより、ダミーゲートパターン 14 の除去時に、ダミーゲートパターン 14 の側面が酸化膜で完全に覆われている為、マージンのある安定したプロセスでダミーゲートパターン 14 を剥離することができる。また、パッド酸化膜 13 の剥離時にも、溝部側壁の酸化膜により側壁絶縁膜 16 等の後退を防ぐことができ、後の工程で形成されるゲート電極の寸法 (L_4) を制御することができるという特長がある。つまり、最終的なゲート電極の寸法 (L_4) は、 L_3 とゲート絶縁膜の膜厚 (T_{ox}) の 2 倍の和で決まる

($L_4 = L_3 + 2 \times T_{ox}$)。また、 L_3 はダミーゲートパターン 14 の酸化量 (酸化膜厚) とパッド酸化膜 13 の剥離量 (オーバーエッチング量) で制御することができ、 L_4 をダミーゲートパターンの幅 L と同じにする事も、小さくする事も可能である。

【0080】次に、図 3 (f) に示すように、全面に CVD- SiO_2 膜 (膜厚は約 3 nm 程度) や高誘電体膜 (例えば Ta_2O_5 膜、膜厚は 20 nm 程度) からなるゲート絶縁膜 19 を堆積する。ゲート絶縁膜 19 が高誘電体膜である場合、 Si 界面との間に界面準位等ができにくいように、界面に薄い (例えば 1 nm 程度の) SiO_2 膜 (図示せず) 或いは RTP (Rapid Thermal Process) を用いて NH_3 ガス雰囲気中で Si 表面に直接窒化した膜 (図示せず) などを形成しても良い。

【0081】また、ゲート絶縁膜 19 としては、CVD- SiON_x 膜 (オキシナイトライド膜) や CVD- Si_3N_4 膜を含む積層膜を用いてもよい。これらの場合には、膜形成後に例えば 1000°C 、10 秒程度の RTP による熱処理を行ってデンシファイしても良い。この様にすると、 Si 界面の界面準位が減少したりリーク電流が減少するなど、絶縁膜としての絶縁特性を改善することができる。

【0082】高誘電体膜をゲート絶縁膜に使用すると、ゲート絶縁膜の実効的な膜厚をリーク電流の増大や絶縁耐圧の劣化なしに薄くすることができ、トランジスタのショートチャネル効果を抑える事ができる。また、ドレイン電流の増加やカットオフ特性の向上などをはかるこ

(9)

とも可能である。

【0083】次に、図3(g)に示すように、例えばメタル膜(Ru膜、TiN膜、W膜、タングステンナイトライド膜(WN_x)など、或いはW膜/TiN膜のような、これらの膜の積層膜)からなるゲート電極20を全面に堆積する。もちろん、CVD-SiO₂膜、CVD-SiON膜或いはCVD-Si₃N₄膜を含む積層膜をゲート絶縁膜とした場合には、不純物をドーブした多結晶Si膜をゲート電極として用いても良い。

【0084】その後、全面にゲート絶縁膜19およびメタル電極20を堆積した後、メタル材料に対するCMP条件の下でCMPを施す事により、ゲート絶縁膜19およびメタル電極20をダミーゲートパターンを除去した後の溝の中に埋め込む。この時、SiO₂膜18及びゲート絶縁膜19は、メタル膜のCMP時のストッパーとしての役割を果たす。ゲート絶縁膜19は、SiO₂膜18の上に残っていても良い。

【0085】ゲート電極の幅(図3(f)のL₄)は、図2(a)に示すダミーゲートパターン14の幅L₁よりもゲート絶縁膜19の膜厚の2倍分だけ小さくする事も可能である(ただし、L₁=L₃とする)。すなわち、リソグラフィーで決まる最小寸法がL(ここでは0.15μmと仮定する)、ゲート絶縁膜の厚さが0.02μmと仮定すると、Lよりもゲート絶縁膜の膜厚の2倍(0.02μm×2=0.04μm)だけ短くすることができる。従って、リソグラフィーの限界が0.15μmであるにもかかわらず、ゲート電極幅(L₄)が0.11μmのものが実現できる。つまり、トランジスタのチャンネル長をリソグラフィーで決まる寸法よりさらに短くできるという特徴がある。

【0086】もちろん、このチャンネル長がゲート絶縁膜の膜厚の2倍だけ短くなる事を考慮してパッド酸化膜13のエッチング量やアモルファスSi膜14の酸化膜15の膜厚を調整する事により、図2(a)に示すL₁にほぼ等しい寸法を得る事も可能である。また、Ta₂O₅膜などの高誘電体膜の場合、実際の膜厚が厚いので、L₄の長さをかなり短くすることができる。

【0087】次に、図3(h)に示すように、全面にSiO₂からなる層間絶縁膜21を約200nm程度の厚さに堆積した後、ソース・ドレイン領域17及びゲート電極20へのコンタクト孔23を開孔し、さらにA1層を堆積してコンタクト孔23を埋め、パターニングして配線22を形成する。その後、全面にバッシベーション膜(図示せず)を堆積し、トランジスタの基本構造が作製される。

【0088】以上のような製造方法によれば、ダミーゲートパターンを粒径の小さなアモルファスSiにより構成することにより、パターニング時のアモルファスSi膜のパターンエッジの凸凹を少なくすることができる。また、ダミーゲートパターンの除去時にダミーゲートパ

ターンの側面が酸化膜で完全に覆われている為、マージンのある安定したプロセスでダミーゲートパターンを剥離することができる。これにより、後の工程で形成されるゲート電極の寸法を制御することができる。また、パッド酸化膜の剥離時にも、溝部側壁の酸化膜により側壁絶縁膜等の後退を防ぐことができ、後の工程で形成されるゲート電極の寸法を制御する事ができる。更に、溝部側壁の酸化膜とパッド酸化膜とがほぼ等しいエッチング速度でエッチングされることから、側壁酸化膜及び側壁窒化膜下のパッド酸化膜が過剰にエッチングされることによる窪みの発生を防止できる。

【0089】また、ゲート電極をプラズマダメージの無いCMPを使って加工する為、RIE時に起こり易いプラズマ・プロセスによるダメージ(ゲート絶縁膜の絶縁破壊など)を回避することができる。また、イオン注入領域の活性化及びリフロー工程などの高温熱処理工程を、ゲート絶縁膜(高誘電体膜を含む積層膜など)の形成前に実施できるので、ゲート絶縁膜のリーク電流増加や耐圧不良などの劣化を回避する事ができる。また、ゲート電極の側面がアモルファスSiの酸化膜で覆われている構造のため、後酸化を行なわなくてもゲート電極と基板或いはゲート電極とソース・ドレイン間の耐圧を良好に保つことができる。

【0090】また、ゲート電極より先にソース・ドレイン領域を形成するが、このソース・ドレイン領域に自己整合的にゲート電極を形成することができる。すなわち、ゲート電極とソース・ドレイン拡散領域とを従来どおり自己整合的に形成することができる。また、チャンネル領域のみにトランジスタのしきい値電圧(V_{th})調整用のチャンネル・イオン注入領域の形成を行なう事ができ、ソース・ドレインの接合リークや接合容量を減少できる。また、このチャンネルイオン注入領域は、ソース・ドレイン領域の活性化アニールの高温熱工程を受けないので、短チャンネル効果の抑制に対して理想的なチャンネル不純物プロファイルを形成・維持することができる。

【0091】また、トランジスタのチャンネル長を、リソグラフィーの限界で決まるような寸法に対して、ゲート絶縁膜となる高誘電体膜等の堆積膜の膜厚の2倍分だけ短くできるため、短チャンネル化によりトランジスタの性能を向上させる事ができる。また、CVD等の堆積膜を用いてゲート絶縁膜を形成する事により、STIのSi表面コーナー部における微少なくぼみ(このくぼみの領域にゲート絶縁膜及びゲート電極が形成され、これがコーナー部に寄生トランジスタを形成してトランジスタのしきい値を変化させる等の問題がある。)を埋め込む事ができるため、コーナー部における寄生トランジスタの形成を抑制することができ、しきい値のバラツキを抑える事ができる。

【0092】次に、本発明の第2の実施形態について説明する。

(10)

【0093】まず、第2の実施形態の第1の具体例について、図4および図5に示した工程断面図を参照して説明する。

【0094】まず、図4(a)に示すように、トレンチ型の素子分離領域(Shallow Trench Isolation) 62に囲まれた素子形成領域のSi基板61表面に厚さ10nm程度のSiO₂膜63(ダミー絶縁膜)を形成し、続いて、このSiO₂膜63上にダミーゲートパターン用のポリSi膜64を300nm程度の膜厚に堆積する。

【0095】次に、図4(b)に示すように、例えばリソグラフィ法とRIE法などを用いて、ポリSi膜64をダミーゲートパターンの形状に加工する。

【0096】次に、図4(c)に示すように、例えばRTO(Rapid Thermal Oxidation)により1000℃、60秒程度で熱酸化を行い、ダミーゲートパターン64のエッジ部の丸め、エッジ部下のSiO₂膜63の膜厚を増加させ、かつダミーゲートパターン露出部へのSiO₂膜65の形成を行う。

【0097】次に、図4(d)に示すように、ポリSi膜64/SiO₂膜65をマスクとして用いて、例えばリン(P⁺)イオンの注入を70keV、 $4 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で行ない、n⁻型領域67aを形成する。

【0098】次に、図4(e)に示すように、Si₃N₄膜を全面に堆積した後、全面にRIEを施し、ダミーゲートパターン64の側壁部にSi₃N₄膜を残すいわゆる「Si₃N₄の側壁残し」を行ない、ダミーゲートパターン64の側壁に膜厚20nm程度のSi₃N₄膜66を形成する。

【0099】その後、図4(f)に示すように、例えば砒素(As⁺)イオンの注入を30keV、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度行なって、n⁺型領域67bを形成し、いわゆるLDD構造を形成する。

【0100】次に、図5(f)に示すように、全面に層間絶縁膜となるCVD-SiO₂膜68を例えば300nm程度の厚さに堆積し、例えば800℃程度のN₂雰囲気中で30分程度デンシファイを行なった後に、全面をCMPによって平坦化し、ダミーゲートパターン64表面を露出させる。

【0101】次に、図5(h)に示すように、露出したポリSi膜64を選択的に除去して溝部71を形成した後、所望の領域に形成したレジストパターン(図示せず)、SiO₂膜68、側壁絶縁膜Si₃N₄膜66及びSiO₂膜65をマスクとして用いて、チャネル領域にのみチャネル・イオン注入を行なう。このチャネル不純物領域72の活性化は、例えばRTA(Rapid Thermal Anneal)を用いて800℃、10秒程度の熱処理で行なう。

【0102】次に、図5(i)に示すように、例えば希フッ酸処理により、エッジ部のみを残すようにSiO₂

膜63及びSiO₂膜65を除去する。この時、エッジ部にはSiO₂膜63が残っているため、エッジ部に窪みは形成されない。その後、全面に、例えば高誘電体膜(例えばTa₂O₅膜)からなるゲート絶縁膜69を膜厚20nm程度堆積する。

【0103】次に、図5(j)に示すように、例えばRuなどのメタルを全面に堆積した後に、全面をCMPする事により、及びをダミーゲートパターン64を除去した後の溝の中に、高誘電体ゲート絶縁膜69およびメタル膜からなるゲート電極70を埋め込む。

【0104】その後、全面に層間絶縁膜としてSiO₂膜(図示せず)を約200nm程度の膜厚で堆積し、これにソース・ドレイン領域67及びゲート電極70へのコンタクト孔を開孔し、さらにA1層(図示せず)の成膜してコンタクト孔を埋め、パターニングを行って配線を形成する。さらに全面にパッシベーション膜(図示せず)を堆積して、トランジスタの基本構造が作製される。

【0105】次に、第2の実施形態の第2の具体例について、図6および図7に示した工程断面図を参照して説明する。

【0106】まず、図6(a)に示すように、トレンチ型の素子分離領域62に囲まれた素子形成領域のSi基板61表面に厚さ10nm程度のSiO₂膜63(ダミー絶縁膜)を形成し、続いて、このSiO₂膜63上にダミーゲートパターン用のポリSi膜64を膜厚300nm程度に堆積する。

【0107】次に、図6(b)に示すように、例えばリソグラフィ法とRIE法などを用いて、ポリSi膜64をダミーゲートパターンの形状に加工する。

【0108】次に、図6(c)に示すように、例えばRTN(Rapid Thermal Nitridation)による1000℃、60秒程度の熱窒化、或いは30keV、 $1 \times 10^{14} \text{ cm}^{-2}$ 程度の窒素イオン注入(注入するイオンは炭素イオンでもよい)を行うことにより、SiO₂膜63に窒素含有部63aを形成する。この時、図に示すように、ダミーゲートパターン64のエッジ部下のSiO₂膜63にも窒素が導入される。なお、ポリSi膜64の表面領域にも窒素含有部64aが形成される。

【0109】次に、図6(d)に示すように、ポリSi膜64(窒素含有部64aも含む)をマスクとして用いて、例えばリン(P⁺)イオンの注入を70keV、 $4 \times 10^{13} \text{ cm}^{-2}$ 程度行ない、n⁻型拡散領域67aを形成する。

【0110】次に、図6(e)に示すように、Si₃N₄膜を全面に堆積した後、全面にRIEを施し、ダミーゲートパターン64の側壁部にSi₃N₄膜を残すいわゆる「Si₃N₄の側壁残し」を行ない、ダミーゲートパターン64の側壁に膜厚20nm程度のSi₃N₄膜66を形成する。

THIS PAGE BLANK (USPTO)

(11)

【0111】その後、図6(f)に示すように、例えば砒素(As^+)イオンの注入を30keV、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度行なって、 n^+ 型領域67bを形成し、いわゆるLDD構造を形成する。

【0112】次に、図7(a)に示すように、全面に層間絶縁膜となるCVD- SiO_2 膜68を例えば300nm程度堆積し、例えば800℃程度の N_2 雰囲気中30分程度デンシファイを行なった後に、全面をCMPによって平坦化し、ダミーゲートパターン64(窒素含有部64a)表面を露出させる。

【0113】次に、図7(h)に示すように、露出したダミーゲートパターン64を選択的に除去して溝部71を形成した後、所望の領域に形成したレジストパターン(図示せず)、 SiO_2 膜68及び側壁絶縁膜 Si_3N_4 膜66をマスクとして用いて、チャンネル領域にのみチャンネル・イオン注入を行なう。このチャンネル不純物領域72の活性化は、例えばRTAを用いて800℃、10秒程度の熱処理で行なう。

【0114】次に、図7(i)に示すように、例えば希フッ酸処理により、エッジ部のみを残すように SiO_2 膜63を除去する。この時、エッジ部の SiO_2 膜63には窒素含有部63aが形成されているので、エッジ部に窪みは形成されない。その後、全面に例えば高誘電体膜(例えば Ta_2O_5 膜)からなるゲート絶縁膜69を膜厚20nm程度堆積する。

【0115】次に、図7(j)に示すように、ゲート電極として例えばRuなどのメタルを全面に堆積した後、全面にCMPを施す事により、ダミーゲートパターン64を除去した後の溝の中に、高誘電体ゲート絶縁膜69およびメタルからなるゲート電極70を埋め込む。

【0116】その後、全面に層間絶縁膜として SiO_2 膜(図示せず)を約200nm程度の膜厚で堆積し、これにソース・ドレイン領域67及びゲート電極70へのコンタクト孔を開孔し、さらにA1層(図示せず)を成膜してコンタクト孔を埋め、パターニングを行って配線を形成する。さらに全面にパッシベーション膜(図示せず)を堆積して、トランジスタの基本構造が作製される。

【0117】次に、第2の実施形態の第3の具体例について、図8および図9に示した工程断面図を参照して説明する。

【0118】まず、図8(a)に示すように、トレンチ型の素子分離領域62に囲まれた素子形成領域のSi基板61表面に厚さ10nm程度の SiO_2 膜63(ダミー絶縁膜)を形成し、続いて、この SiO_2 膜63上にダミーゲートパターン用のポリSi膜64を300nm程度の膜厚に堆積する。

【0119】次に、図8(b)に示すように、例えばリソグラフィ法とRIE法などを用いて、ポリSi膜64をダミーゲートパターンの形状に加工する。

【0120】次に、図8(c)に示すように、ダミーゲートパターンのポリSi膜64をマスクとして用いて、例えばリン(P^+)イオンの注入を70keV、 $4 \times 10^{13} \text{ cm}^{-2}$ 程度行ない、 n^- 型領域67aを形成する。

【0121】次に、図8(d)に示すように、希フッ酸処理によりエッジ部のダミーゲート絶縁膜63を除去し、続いて全面に Si_3N_4 膜66aを堆積する。このとき、図に示すように、除去されたエッジ部の下にも Si_3N_4 膜66aが埋め込まれる。

【0122】次に、図8(e)に示すように、全面のRIEを行ない、ダミーゲートパターンの側壁部に Si_3N_4 膜を残すいわゆる「 Si_3N_4 の側壁残し」を行ない、ダミーゲートパターン64の側壁に膜厚20nm程度の Si_3N_4 膜66aを形成する。

【0123】その後、図8(f)に示すように、例えば砒素(As^+)イオンの注入を30keV、 $5 \times 10^{15} \text{ cm}^{-2}$ 程度行なって n^+ 型領域67bを形成し、いわゆるLDD構造を形成する。

【0124】次に、図9(g)に示すように、全面に層間絶縁膜となるCVD- SiO_2 膜68を例えば300nm程度堆積し、例えば800℃程度の N_2 雰囲気中30分程度デンシファイを行なった後に、全面をCMPによって平坦化し、ダミーゲートパターン64を露出させる。

【0125】次に、図9(h)に示すように、露出したダミーゲートパターン64を選択的に除去して溝部71を形成した後、所望の領域に形成したレジストパターン(図示せず)、 SiO_2 膜68及び側壁絶縁膜 Si_3N_4 膜66aをマスクとして用いて、チャンネル領域にのみチャンネル・イオン注入を行なう。このチャンネル不純物領域72の活性化は、例えばRTAを用いて800℃、10秒程度の熱処理で行なう。

【0126】次に、図9(i)に示すように、例えば希フッ酸処理により、エッジ部の Si_3N_4 膜66aを残すように SiO_2 膜63を除去する。この時、エッジ部には Si_3N_4 膜66aが形成されているので、エッジ部に窪みは形成されない。その後、全面に例えば高誘電体膜(例えば Ta_2O_5 膜)からなるゲート絶縁膜69を20nm程度の膜厚に堆積する。

【0127】次に、図9(j)に示すように、例えばRuなどのメタルを全面に堆積した後、全面をCMPする事により、ダミーゲートパターンを除去した後の溝の中に、高誘電体ゲート絶縁膜69およびメタルからなるゲート電極70を埋め込む。

【0128】その後、全面に層間絶縁膜として SiO_2 膜(図示せず)を約200nm程度の膜厚で堆積し、これにソース・ドレイン領域67及びゲート電極70へのコンタクト孔を開孔し、さらにA1層(図示せず)を成膜してコンタクト孔を埋め、パターニングを行って配線を形成する。さらに全面にパッシベーション膜(図示せ

(12)

ず)を堆積して、トランジスタの基本構造が作製される。

【0129】以上説明した第2の実施形態によれば、ゲート電極エッジ部におけるゲート絶縁膜の膜厚が厚く、ゲート電極の曲率半径が大きくなるため、エッジ部におけるゲート絶縁膜の信頼性が向上する。また、ゲート電極及びソース・ドレインに対して自己整合的にエッジ部の厚膜化及び丸めが行われるので、ばらつきの少ない素子特性と高信頼性を実現することができる。

【0130】なお、本発明は上記各実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施可能である。

【0131】本発明によれば、ダミー膜を除去する際にダミー膜が横方向にエッチングされることによって生じる窪みを防止することができるため、ゲート電極下端部の窪みに起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

【0132】また、マージンのある安定したプロセスでダミーゲートパターン及びダミー膜を除去することができるため、ゲート電極を埋め込む溝部の寸法制御性、すなわちゲート電極の寸法制御性を向上させることができる。

【0133】次に、本発明の第3の実施形態について、図10および図11に示した工程断面図を参照して説明する。

【0134】図10(a)に示すように、トレンチ型の素子分離層(図示せず)を有するSi基板81のトランジスタ形成領域表面に、厚さ5nmのSiO₂膜82を形成し、このSiO₂膜82の上に、ダミーゲートパターン用のポリSi膜83を300nm程度の膜厚に堆積する。

【0135】次いで、図10(b)に示すように、例えばリソグラフィ法とRIE法などを用いてポリSi膜83をダミーゲートパターンに加工する。その後、図10(c)に示すように、ダミーゲートパターン83をマスクとして用いて、例えばリンイオンの注入を $4 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量で行い、n⁻型ソース・ドレイン領域84を形成する。

【0136】次に、Si₃N₄膜を全面に堆積した後、全面ニッチバックを行い、ダミーゲートパターン83の側面にSi₃N₄側壁絶縁膜85を形成し、例えば砒素イオンの注入を $5 \times 10^{15} \text{ cm}^{-2}$ 程度行いn⁺型ソース・ドレイン領域86を形成し、図10(d)に示すLDD構造を形成する。その後、例えば1000℃30秒程度のアニールを行い、ソース・ドレイン領域の活性化を行う。

【0137】次に、図10(e)に示すように、全面にCVD-SiO₂膜87を例えば300nmの厚さに堆積し、例えば800℃程度のN₂雰囲気中30分程度のデンシファイを行った後に、全面を化学機械研磨により

平坦化し、ダミーゲートパターン83の上面を露出させる。

【0138】その後、図10(f)に示すように、露出したダミーゲートパターン83を選択的に除去し、ダミーゲートパターン83の下のSiO₂膜82を除去し、ゲート絶縁膜・ゲート電極を形成するための溝88を形成する。

【0139】次に、例えばNOガスを用いてSi基板81上に1.5nmの酸化膜89を形成した後、例えば5nmの厚さのTa₂O₅膜90と、ゲート電極として例えば300nm程度の厚さのRu膜91を堆積し、全面に化学機械研磨法を施すことにより溝88内に酸化膜89およびTa₂O₅膜90からなるゲート絶縁膜とRu膜からなるゲート電極91を埋め込み、図11

(g)に示すようなトランジスタ構造を形成する。その後、図示しない層間膜堆積、コンタクト開孔、配線形成を行う。

【0140】ここで、図11(h)に示すように、ゲート電極91の底面に形成されるゲート絶縁膜の厚さ t_3 は、酸化膜89の厚さ1.5nmとTa₂O₅膜90の厚さ5nmの合計で6.5nmであり、ゲート電極側面に形成されるTa₂O₅膜90の厚さ t_4 は5nmであり、SiO₂膜82の厚さ $t_1 = 5 \text{ nm}$ との間に $t_3 + t_4 > t_1$ の関係が成立し、かつSi₃N₄膜85下端部とSi基板81の表面との間の距離 t_1' を用いて、 $t_3 + t_4 > t_1'$ の関係が成立するようにしている。

【0141】上記のような構成により、図11(i)に示すように、ダミーゲートパターン83の下のSiO₂膜82を除去する際に形成された横溝は、ゲート絶縁膜によって埋め尽くされ、ゲート電極のエッジ部の形状が曲率半径の大きいものになり、ゲートエッジ部での信頼性の高いトランジスタ構造が実現した。

【0142】以上のように、本発明の第3の実施形態によると、ゲートエッジ部のシリコン基板表面と側壁絶縁膜と間に形成される横溝が、ゲート絶縁膜によって埋め尽くされ、ゲート電極のエッジ部の形状が曲率半径の大きいものになるため、ゲートエッジ部での信頼性が向上した半導体装置が得られる。

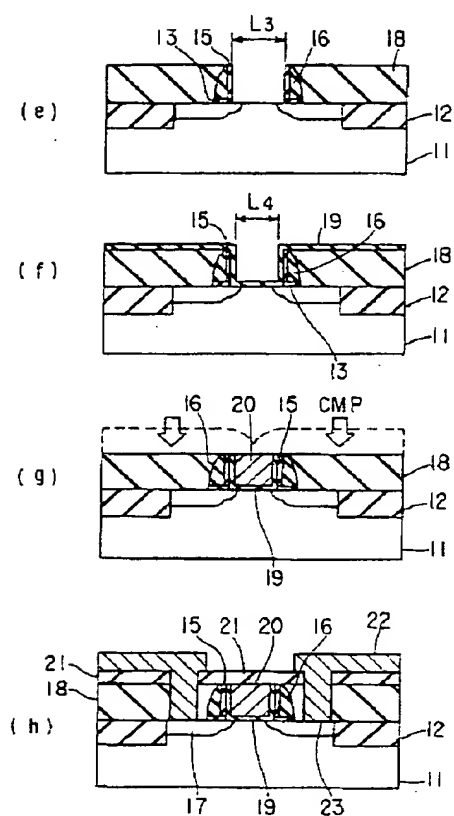
【0143】

【発明の効果】本発明によれば、ダミー膜を除去する際にダミー膜が横方向にエッチングされることによって生じる窪みを防止することができるため、ゲート電極下端部の窪みに起因して生じるトランジスタの特性劣化や信頼性低下を防止することができる。

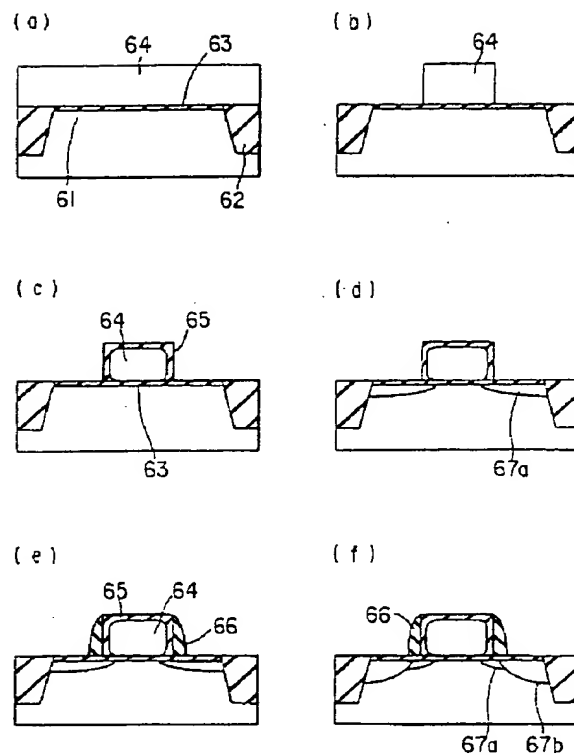
【0144】また、マージンのある安定したプロセスでダミーゲートパターン及びダミー膜を除去することができるため、ゲート電極を埋め込む溝部の寸法制御性、すなわちゲート電極の寸法制御性を向上させることができる。

(14)

【圖 3】

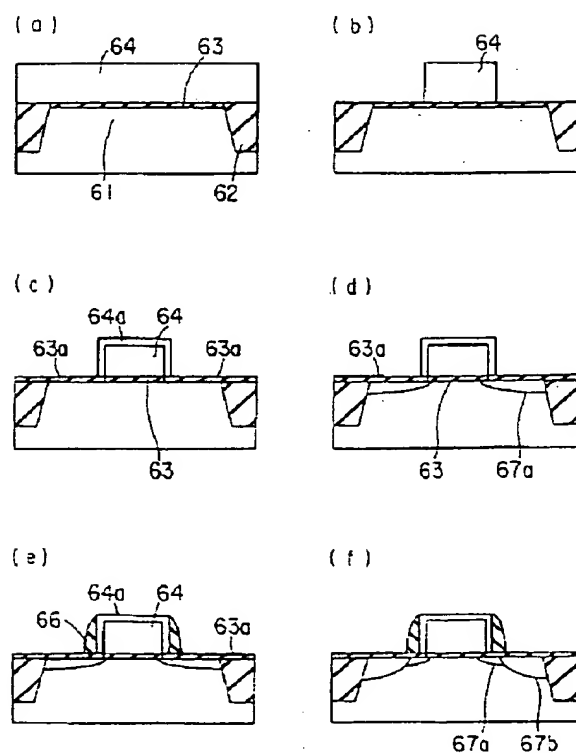
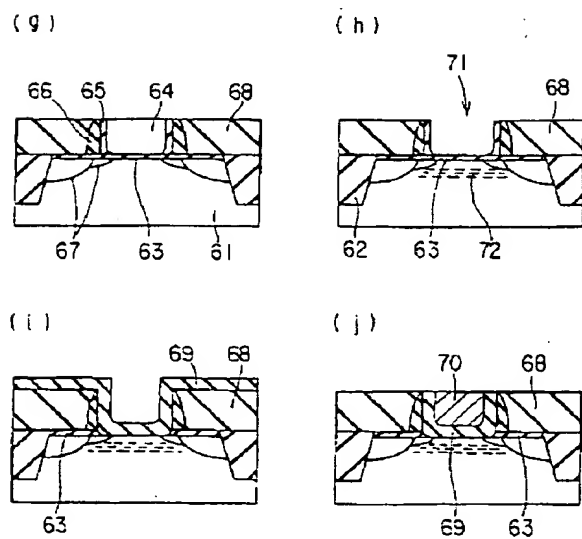


【圖 4】



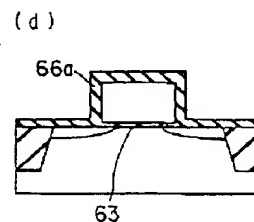
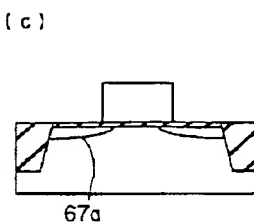
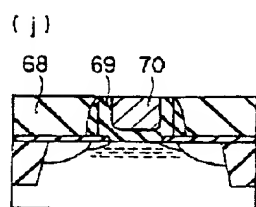
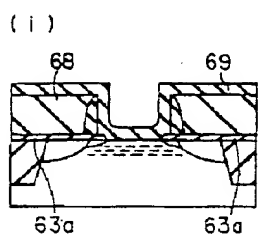
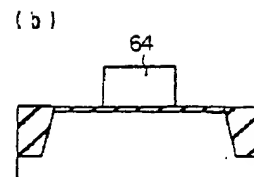
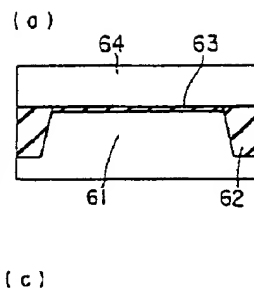
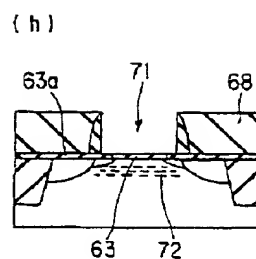
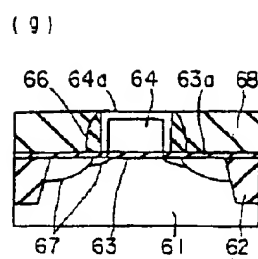
【图 6】

【図 5】

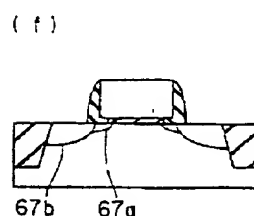
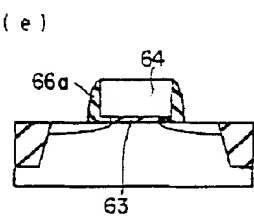
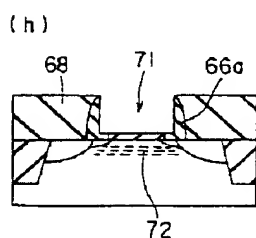
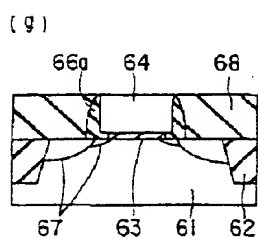


(15)

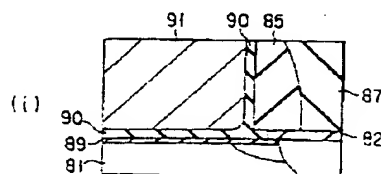
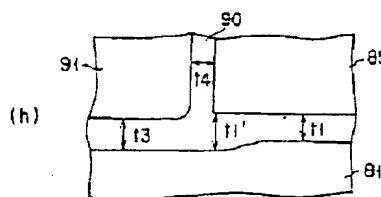
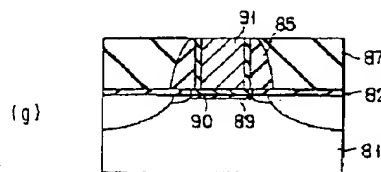
【図7】



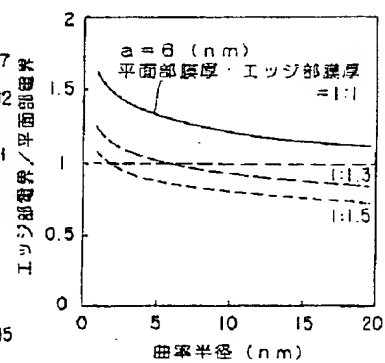
【図9】



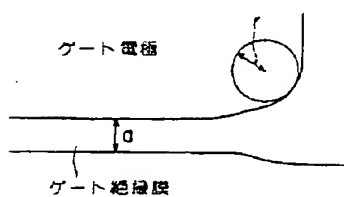
【図11】



【図12】

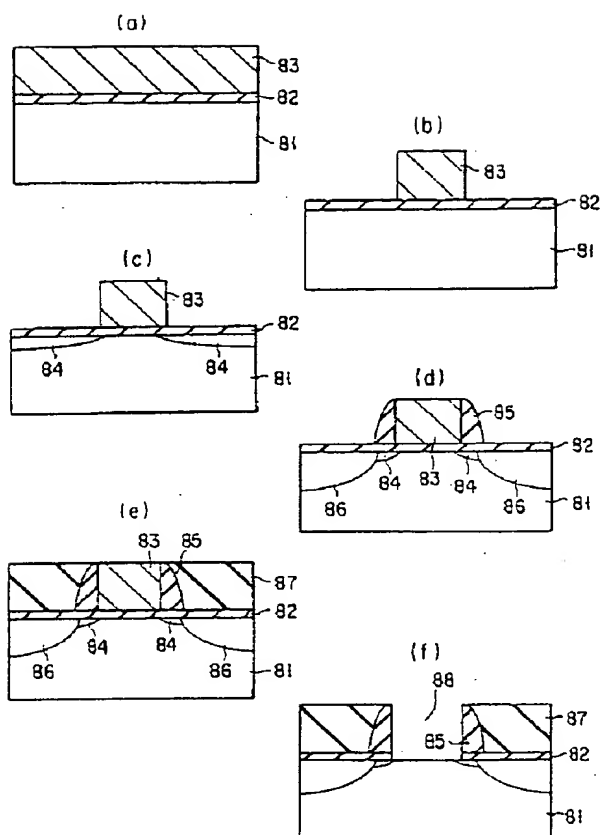


【図13】

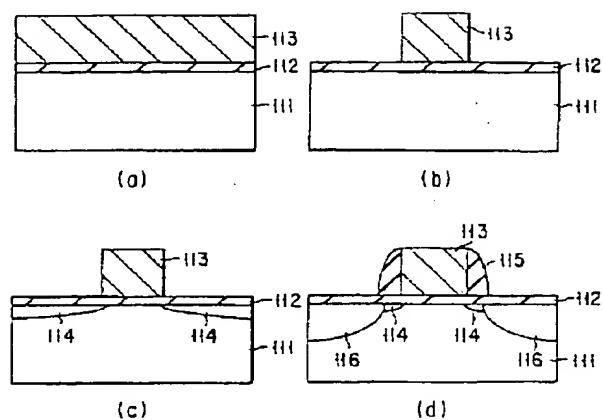


(16)

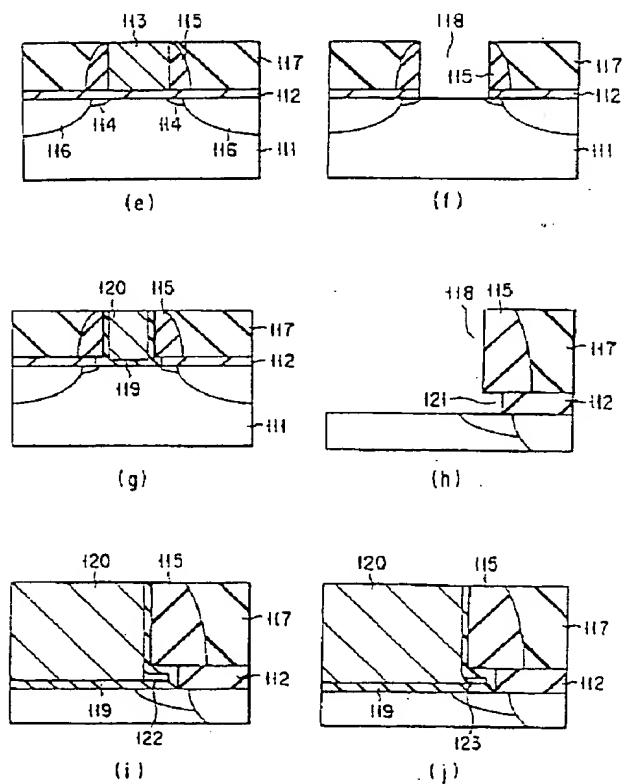
【図 10】



【図 15】



【図 16】



フロントページの続き

(72)発明者 松田 哲朗

神奈川県横浜市磯子区新杉田町 8 番地 株
式会社東芝横浜事業所内

THIS PAGE BLANK (USPTO)